

LC897194 — CMOS LSI **ATAPI (IDE), DVD-ECC I/F内蔵CD-ROMデコーダ**

暫定規格

LC897194は、CD-ROM機能、DVC-ECC I/F, ATAPI (IDE)I/F内蔵したLSIである。

- 機能** ・ CD-ROM ECC機能, ATAPI (IDE) I/F (Register部他), DVD-ECC I/F
- 特長** ・ ATAPI (IDE) I/F内蔵
- ・ DVD-ECC I/F内蔵
- ・ 12倍速可能 DRAM (×16, 70ns)使用
- ・ 転送速度 16.6MByte/s DRAM (×16, 70ns)使用
- ・ 転送速度 8.33MByte/s DRAM (×8, 70ns)使用
- ・ バッファRAMはDRAMの場合1Mbit以上32Mbitまで接続可能
- ・ バッファRAMの中のCD main channel, C2 flagの領域をユーザが自由に設定可能
- ・ 一括転送機能内蔵 (CD main channel, C2 flagを1度に送る機能)
- ・ マルチ転送機能内蔵 (複数のBlockを1度に自動的に送る機能)

絶対最大定格 / V_{SS}=0V

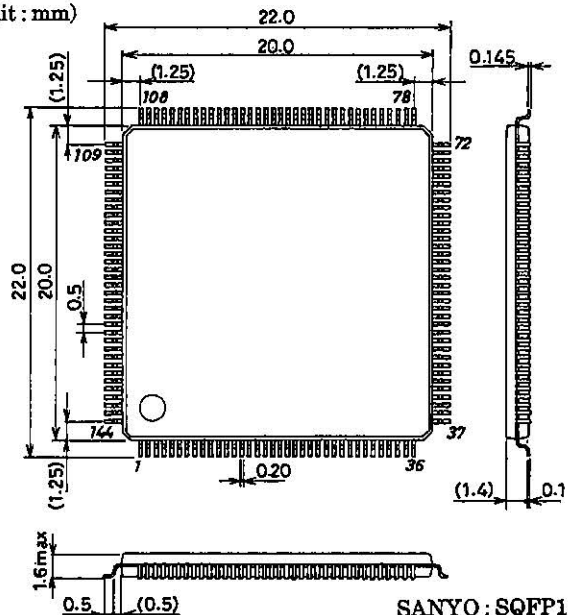
		Ta=25°C		unit
最大電源電圧	V _{DD max}		-0.3~+7.0	V
入出力電圧	V _I , V _O	Ta=25°C	-0.3~V _{DD} +0.3	V
許容消費電力	Pd max	Ta≤70°C	550	mW
動作周囲温度	Topr		-30~+70	°C
保存周囲温度	Tstg		-55~+125	°C
半田耐熱 (端子のみ)		10秒間	235	°C
最大入出力電力	I _I , I _O max		±20 *	mA

*: 入出力基本セル1セル当り

許容動作範囲 / Ta= -30~+70°C, V_{SS}=0V

		min	typ	max	unit
電源電圧	V _{DD}	4.5	5.0	5.5	V
入力電圧範囲	V _{IN}	0		V _{DD}	V

外形図 3214
(unit: mm)



■この資料の情報は、搭載回路および回路定数を含む)は一例を示すもので、製品セットとしての設計を保障するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を伴うものではありません。

■本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

■本書記載の製品は、生命維持装置等、人命にかかわるような、極めて高度の信頼性を要する用途に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。

SANYO: SQFP144

直流特性 / $V_{SS}=0V$, $V_{DD}=4.5\sim 5.5V$, $T_a=-30\sim +70^\circ C$

	適用ピン(下記参照)	min	typ	max	unit
入力「H」レベル電圧	V_{IH1} TTL対応:(1)	2.2			V
入力「L」レベル電圧	V_{IL1} TTL対応:(1)			0.8	V
入力「H」レベル電圧	V_{IH2} TTL対応, プルアップ抵抗付:(12)	2.2			V
入力「L」レベル電圧	V_{IL2} TTL対応, プルアップ抵抗付:(12)			0.8	V
入力「H」レベル電圧	V_{IH3} TTL対応, プルダウン抵抗付:(2)	2.2			V
入力「L」レベル電圧	V_{IL3} TTL対応, プルダウン抵抗付:(2)			0.8	V
入力「H」レベル電圧	V_{IH4} TTL対応, シュミット:(3), (5), (13), (14)	2.5			V
入力「L」レベル電圧	V_{IL4} TTL対応, シュミット:(3), (5), (13), (14)			0.6	V
入力「H」レベル電圧	V_{IH5} CMOS対応, シュミット:(4)	$0.8V_{DD}$			V
入力「L」レベル電圧	V_{IL5} CMOS対応, シュミット:(4)			$0.2V_{DD}$	V
出力「H」レベル電圧	V_{OH1} $I_{OH}=-2mA$:(7), (10), (12)	$V_{DD}-2.1$			V
出力「L」レベル電圧	V_{OL1} $I_{OL}=2mA$:(7), (10), (12)			0.4	V
出力「H」レベル電圧	V_{OH2} $I_{OH}=-8mA$:(6)	$V_{DD}-2.1$			V
出力「L」レベル電圧	V_{OL2} $I_{OL}=8mA$:(6)			0.4	V
出力「H」レベル電圧	V_{OH3} $I_{OH}=-4mA$:(8), (13)	$V_{DD}-2.1$			V
出力「L」レベル電圧	V_{OL3} $I_{OL}=24mA$:(8), (13)			0.4	V
出力「L」レベル電圧	V_{OL4} $I_{OL}=24mA$:(9), (14)			0.4	V
出力「L」レベル電圧	V_{OL5} $I_{OL}=2mA$:(11)			0.4	V
入力リーク電流	I_{IL} $V_I=V_{SS}, V_{DD}$:(1), (2), (3), (4), (5), (12), (13), (14)	-10		+10	μA
出力リーク電流	I_{OZ} Hi-Z出力時:(9), (11), (13), (14)	-10		+10	μA
プルアップ抵抗	R_{UP} (12)	40	80	160	k Ω
プルダウン抵抗	R_{DN} (2)	40	80	160	k Ω

注) 適用ピンは、下記に準ずる

[INPUT]

- (1) CCTRL, RSSEL, HDB0~7, SUA0~6
- (2) TEST0~4
- (3) ZDMACK, ZHRST, ZRESET, BCK, C2PO, LRCK, SDATA, DA0~2, ZCS1FX, ZCS3FX
- (4) ZCS, ZRD, ZWR
- (5) ZDIOR, ZDIOW, DRESP, WFCK, SCOR

[OUTPUT]

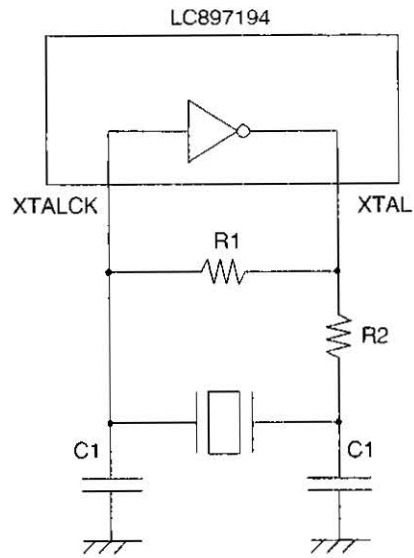
- (6) MCK, MCK2
- (7) ZINT0, ZINT1
- (8) DMARQ, HINTRQ
- (9) IORDY, ZIOCS16
- (10) RA0~9, ZCAS0~1, ZRAS0~1, ZLWE, ZUWE, ZOE, DREQ
- (11) ZRSTCPU, ZRSTIC, ZSWAIT

[INOUT]

- (12) D0~7, IO0~15
- (13) DD0~15
- (14) ZDASP, ZPDIAG

(※) XTAL, XTALCKピンについては、直流特性には含まれない。

発振回路の推奨例



A06532

R1 = 120k Ω

R2 = 47 Ω

C1 = 30pF

水晶の発振周波数 = 16.9344MHz または

R1 = 3.3k Ω

R2 = なし

C1 = 5pF

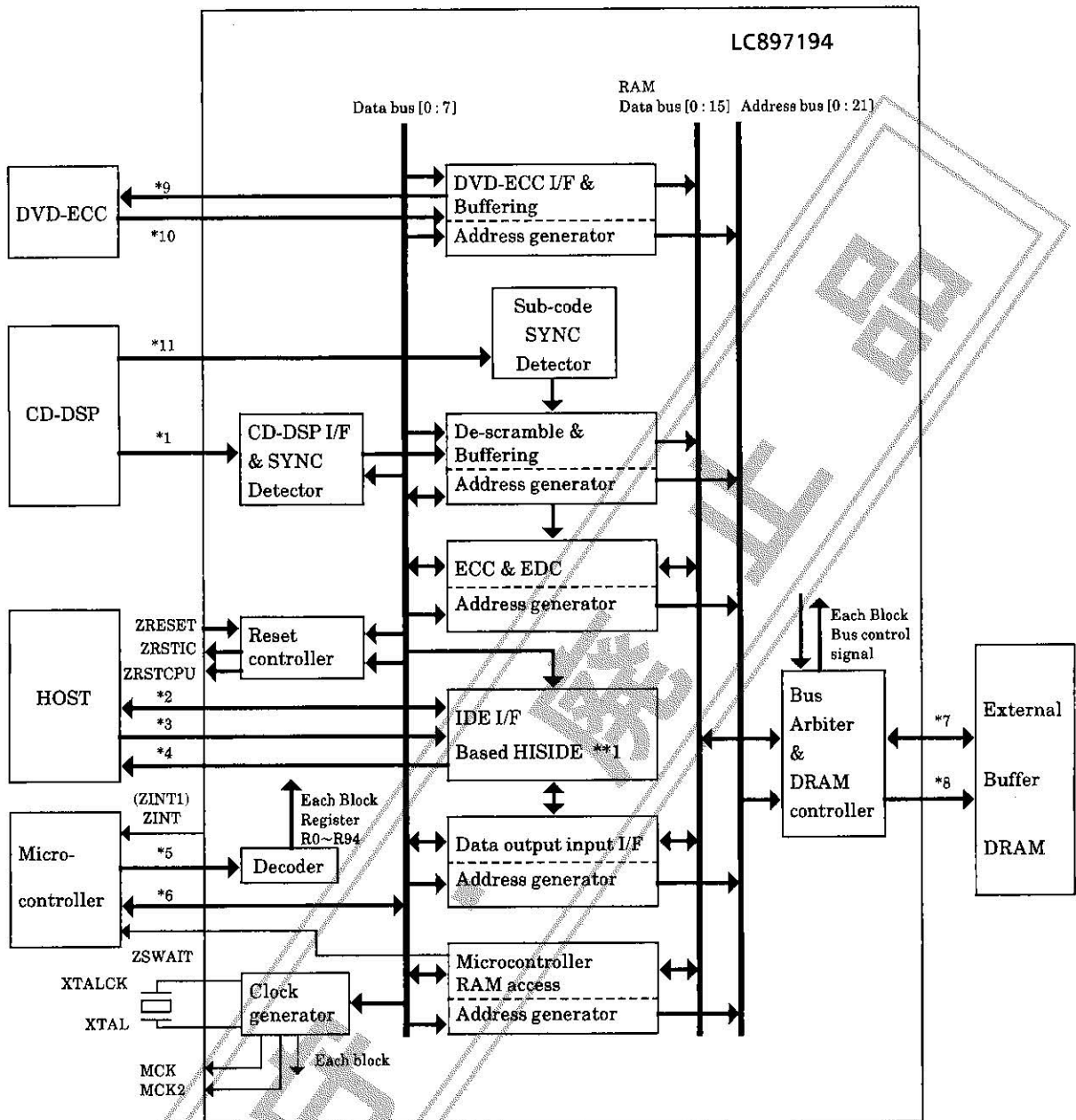
水晶の発振周波数 = 33.8688MHz

33.8688MHzの推奨例は3倍オーバー

トーンの時、詳細な値は基板との影響が

あるので発振子メーカーにお問い合わせください。

ブロック図



- *1 BCK, SDATA, LRCK, C2PO
- *2 DD0~DD15, ZDASP, ZPDIAG
- *3 ZCS1FX, ZCS3FX, DA0~2, ZDIOR, ZDIOW, ZDMACK
- *4 DMARQ, HINTRQ, ZIOCS16, IORDY, ZHRST
- *5 ZRD, ZWR, SUA0~6, ZCS, CSCTRL
- *6 D0~D7
- *7 IO0~IO15
- *8 RA0~RA9, ZRAS0, ZRAS1, ZCAS0, ZCAS1, ZOE, ZUWE, ZLWE
- *9 DREQ
- *10 HDB0~HDB7, DRESP
- *11 WFCK, SCOR
- **1 HISIDE (WD25C32) is made by WESTERN DIGITAL.

端子一覧

タイプ/typ					
I	入力ピン INPUT	B	双方向ピン BIDIRECTION	NC	接続せず NOT CONNECT
O	出力ピン OUTPUT	P	電源ピン POWER		

端子番号	端子名	タイプ	端子説明
1	V _{SS0}	P	
2	ZRAS0	O	バッファDRAMへのRAS信号出力端子0(通常0を使用)
3	ZRAS1	O	バッファDRAMへのRAS信号出力端子1
4	V _{SS0}	P	
5	ZCAS0	O	バッファDRAMへのCAS信号出力端子0(通常0を使用)
6	ZCAS1	O	バッファDRAMへのCAS信号出力端子1
7	V _{SS0}	P	
8	ZOE	O	バッファRAM Output Enable
9	ZUWE	O	バッファRAM Upper Write Enable
10	ZLWE	O	バッファRAM Lower Write Enable
11	RA0	O	データバッファDRAMのアドレスはRA0~RA9
12	RA1	O	
13	RA2	O	
14	RA3	O	
15	RA4	O	
16	RA5	O	
17	RA6	O	
18	V _{DD}	P	
19	V _{SS0}	P	
20	RA7	O	データバッファDRAMのアドレスはRA0~RA9
21	RA8	O	
22	RA9	O	
23	TEST0	NC	テスト用端子。NO CONNECT端子。 オープンで使うこと。
24	TEST1	NC	
25	TEST2	NC	
26	TEST3	NC	
27	TEST4	NC	
28	IO0	B	データバッファRAMへのデータ入出力端子 ブルアップ抵抗内蔵
29	IO1	B	
30	IO2	B	
31	IO3	B	
32	IO4	B	
33	IO5	B	
34	IO6	B	
35	IO7	B	
36	V _{SS0}	P	
37	V _{DD}	P	

次ページへ続く。

前ページから続く。

端子番号	端子名	タイプ	端子説明
38	IO8	B	データバッファRAMへのデータ入出力端子 ブルアップ抵抗内蔵
39	IO9	B	
40	IO10	B	
41	IO11	B	
42	IO12	B	
43	IO13	B	
44	IO14	B	
45	IO15	B	
46	V _{SS0}	P	
47	WFCCK	I	SUB-CODE入力端子
48	SCOR	I	SUB-CODE入力端子
49	V _{SS0}	P	
50	DREQ	O	DVD-ECCデータリクエスト出力端子
51	DRESP	I	DVD-ECCデータラッチ信号入力端子
52	HDB7	I	DVD-ECCデータ入力端子
53	HDB6	I	
54	V _{DD}	P	
55	V _{SS0}	P	
56	HDB5	I	DVD-ECCデータ入力端子
57	HDB4	I	
58	HDB3	I	
59	HDB2	I	
60	HDB1	I	
61	HDB0	I	
62	SDATA	I	CD-DSP I/F用端子
63	BCK	I	
64	LRCK	I	
65	C2PO	I	
66	MCK2	O	
67	CSCTRL	I	MC (Microcontroller)側CSのアクティブLo, Hi選択端子
68	RSSEL	I	直接, 間接アドレス選択端子
69	V _{SS0}	P	
70	XTALCK	I	X'tal発振回路入力端子
71	XTAL	O	X'tal発振回路出力端子
72	V _{SS0}	P	
73	V _{DD}	P	
74	MCK	O	XTALCKの1/1, 1/2停止, 出力端子
75	V _{SS0}	P	
76	ZRSTIC	O	ドライブのリセットICへのリセット端子
77	ZRESET	I	LSIリセット端子
78	ZRD	I	MC (Microcontroller)のデータ読出し信号入力端子
79	ZWR	I	MC (Microcontroller)のデータ書き込み信号入力端子
80	ZCS	I	MC (Microcontroller)からのレジスタチップセレクト信号入力端子
81	ZINT1	O	ATAPI Block用割込み端子 (レジスタで選択)
82	ZINT0	O	MC (Microcontroller)への割込み要求信号出力端子

次ページへ続く。

前ページから続く。

端子番号	端子名	タイプ	端子説明
83	SUA0	I	MC (Microcontroller)レジスタ選択信号端子 SUA0端子は間接アドレッシング時RSになる。
84	SUA1	I	
85	SUA2	I	
86	SUA3	I	
87	SUA4	I	
88	SUA5	I	
89	SUA6	I	
90	V _{DD}	P	
91	V _{SS0}	P	
92	D0	B	MC (Microcontroller)データ信号端子 プルアップ抵抗内蔵
93	D1	B	
94	D2	B	
95	D3	B	
96	D4	B	
97	D5	B	
98	D6	B	
99	D7	B	
100	V _{SS0}	P	
101	ZRSTCPU	O	CPUへのリセット信号
102	ZSWAIT	O	MC (Microcontroller)へのWAIT信号出力端子
103	ZHRST	I	ATAPI制御信号
104	ZDASP	B	
105	ZCS3FX	I	
106	ZCS1FX	I	
107	DA2	I	
108	V _{SS0}	P	
109	V _{DD}	P	
110	DA0	I	ATAPI制御信号
111	ZPDIAG	B	
112	DA1	I	
113	ZIOCS16	O	
114	HINTRQ	O	
115	ZDMACK	I	
116	V _{SS1}	P	
117	IORDY	O	ATAPI制御信号
118	ZDIOR	I	
119	ZDIOW	I	
120	DMARQ	O	
121	DD15	B	ATAPIデータバス
122	V _{SS1}	P	
123	DD0	B	ATAPIデータバス
124	DD14	B	
125	DD1	B	

次ページへ続く。

前ページから続く。

端子番号	端子名	タイプ	端子説明
126	V _{DD}	P	
127	V _{SS1}	P	
128	DD13	B	ATAPIデータバス
129	DD2	B	
130	DD12	B	
131	DD3	B	
132	V _{SS1}	P	
133	DD11	B	ATAPIデータバス
134	DD4	B	
135	DD10	B	
136	V _{SS1}	P	
137	V _{DD}	P	
138	DD5	B	ATAPIデータバス
139	DD9	B	
140	DD6	B	
141	V _{SS1}	P	
142	DD8	B	ATAPIデータバス
143	DD7	B	
144	V _{DD}	P	

NCピンは接続せず必ずOPENにする。

端子名の先頭にZがつく信号は負論理を表す。

V_{SS0}はロジック系GND, V_{SS1}はIDE I/Fドライバ用GNDである。

端子説明

1. ATAPI用端子

ZCS1FX (入力)

コマンドブロックレジスタを選択するためのチップセレクト信号。

ZCS3FX (入力)

コントロールブロックレジスタを選択するためのチップセレクト信号。

DA0~2 (入力)

ATAPIの各レジスタにアクセスするためのアドレス。

ZDASP (入力/出力)

ドライブ1が出力、ドライブ0が入力。

ドライブ1が存在することをドライブ0に示すための信号。pull-up抵抗を外付けすること。

DD0~DD15 (入力/出力)

16ビット幅のデータバス。8bitまたは16bitの転送を行うことができる。

ZDIOR (入力)

ホストからのリードストロブ信号。

ZDIOW (入力)

ホストからのライトストロブ信号。

ZDMACK (入力)

DMA転送時、ドライブのリクエスト信号DMARQに対する、ホストからのアクノリッジ信号。

pull-up抵抗は内蔵されていない。

DMARQ (出力)

DMA転送時、ドライブのリクエスト信号。

HINTRQ (出力)

ホストに対するドライブの割込み信号。

ZIOCS16 (出力)

ドライブが16bit転送をサポートしている時に、ドライブによってアサートされる信号。

DMA転送時は、アサートされない。

IORDY (出力)

データ転送時、ドライブが応答準備できていることを示す信号。

準備できていなければ「L」になる。

ZPDIAG (入力/出力)

ドライブ1によってアサートされドライブ0に対しDIAGNOSTICの終了を知らせる信号。

ZHRST (入力)

ホストからのリセット信号である。

pull-up抵抗は内蔵されていない。

2. MC (Microcontroller) I/F用端子

ZCS (入力)

MC側チップセレクトである。

CSCTRL (入力)

MC側チップセレクトの論理の選択信号である。

「H」 — ZCSは「L」でアクティブになる。

「L」 — ZCSは「H」でアクティブになる。

ZRD, ZWR, SUA0~SUA6 (入力)

MC I/Fの制御信号である。SUA0~SUA6端子でアドレッシングする。

間接アドレッシング時SUA0はRS (レジスタ選択信号端子)となる。

SUA0が「L」でアドレスRead/Write, SUA0が「H」でデータRead/Write動作になる。

RSSEL (入力)

直接、間接アドレッシングの選択信号である。

「H」 — 間接アドレッシングになる。

「L」 — 直接アドレッシングになる。

ZSWAIT (出力)

MCがRAMをアクセスする時でSUB-CPUはこの端子が「L」の時は待つ必要がある。

D7~D0 (入力/出力)

MC側データバスである。pull-up抵抗内蔵。

ZINT0 (出力)

MCへの割込み要求信号である。

レジスタによりActive-Level (High or Low)の設定が変えられる。デフォルト時はLow-Activeである。

ZINT1 (出力)

IDE Block からMCへの割込み要求信号である。

レジスタによりActive-Level (High or Low)の設定が変えられる。デフォルト時はLow-Activeである。

3. バッファRAM用端子

IO0~IO15 (入力/出力)

バッファDRAM用データバスである。pull-up抵抗内蔵。

RA0~RA9 (出力)

バッファRAM用アドレス端子である。

ZRAS0, ZRAS1 (ZCS0, ZCS1) (出力)

バッファDRAM用RAS出力端子である。通常はZRAS0を使用するが、1M (64K×16bit)を2個使用する時は、各々のDRAMのRAS端子にZRAS0, ZRAS1を接続する。

ZCAS0, ZCAS1 (出力)

バッファDRAM用CAS出力端子である。通常はZCAS0を使用する。2CASタイプの使用時は、ZCAS0をUCASに、ZCAS1をLCASに接続する。

ZOE (出力)

バッファDRAM用リード出力信号である。

ZUWE, ZLWE (出力)

バッファDRAM用ライト出力信号である。DRAMの各々の端子に接続する。

2CASタイプ使用時は、ZLWEをライトイネーブル信号に接続する。

4. サブコードI/F用端子

WFCK, SCOR (入力)

Sub-code I/F用端子である。CD-DSPと接続することによりSub-code SYNCを検出し、このSYNCでCD-main channelのBufferingを開始することができる。Sub-code dataのBuffering および ECCは行わない。

5. CD-DSPデータ用端子

BCK, SDATA, LRCK, C2PO (入力)

CD-DSPと接続してCD-ROMデータを取込む。

C2POはC2フラグ用端子である。

6. DVD-ECC I/F用端子

DRESP (入力)

DVD-ECCのデータを立下りエッジでラッチする。

HDB0~HDB7 (入力)

DVD-ECCのデータ入力用端子である。

DREQ (出力)

DVD-ECCのデータリクエスト用端子である。

7. その他の端子

ZRESET (入力)

LC897194のリセット端子である。「L」レベルでリセットされる。

パワーオン時には1 μ s以上の期間、「L」レベルに保持する必要がある。

XTALCK, XTAL

16.9344MHz または 33.8688MHzを共振させる。

外部からこの周波数をXTALCKに入力しても構わない。

MCK (出力)

XTALCK または XTALCK/2の周波数を出力する。また出力を止めることができる。

MCK2 (出力)

XTALCK または XTALCK/2 (MCKの位相反転) または XTALCK/512の周波数を出力する。

また出力を止めることができる。

ZRSTIC (出力)

MicrocontrollerのRegister R46-bit7 (ZSYSRES) または、ZHRST (103ピン)端子を「L」にする事により「L」が出力される。ZSYSRESとZHRSTが共に「H」の場合は「Hi-Z」が出力される。

このピンはオープンドレインになっているのでpull-up抵抗を外付けすること。

ZRSTCPU (出力)

ATAPI Soft Reset コマンド (08h) を受けとった時、約1ms (XTALCK=34MHzの時)のLow Pulseを発生する (XTALCK=16MHzの時は約2ms)。

この時Microcontrollerへの割込みが発生する。ZRESET (77ピン)端子がアクティブ(「L」)になったときは、ZRESETの信号がそのままZRSTCPUに出力される。

このピンはオープンドレインになっているのでpull-up抵抗を外付けすること。